**实验报告**

实验题目：实验2\_七段数码管动态显示电路设计

姓名：李霄奕 学号：PB21511897

1. 实验内容

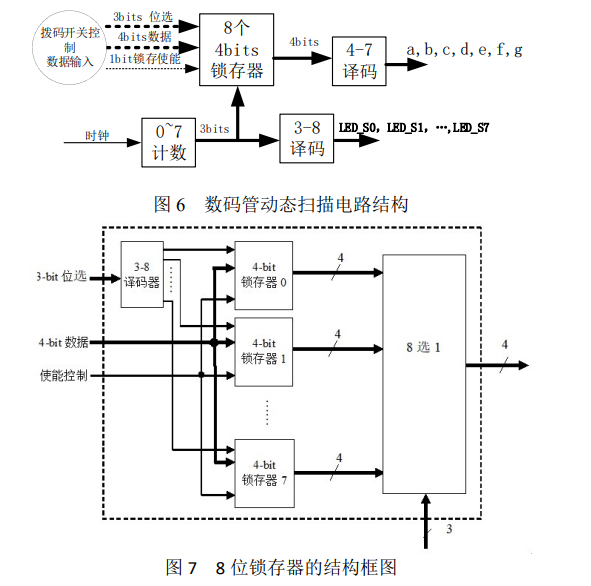
通过拨码开关的输入，实现选择某个特定数码管、显示对应数字的功能。

1. 设计分析

主要模块有：

1. 拨码开关的输入模块
2. 输入选择数码管的片选模块
3. 输入数值，转换为数码管显示模块
4. 锁存器，存储数码管当前数值模块
5. 时钟模块

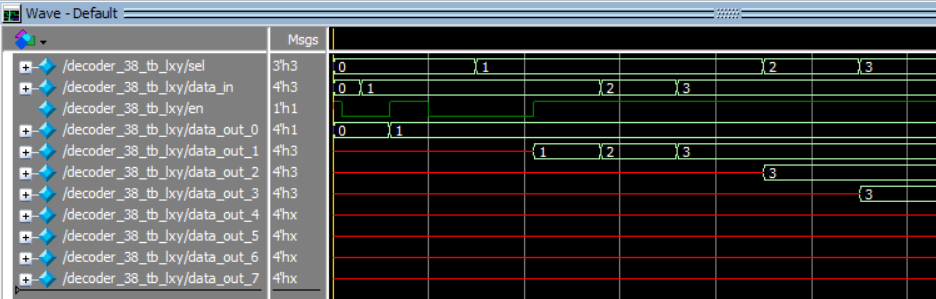
因此，主要的编程思路为：时钟模块实现更新和轮流显示数码管、片选模块改变锁存器数值、输入数据通过4-7译码器改写为数码管显示数据



1. Verilog源代码

见文件夹

1. 仿真结果



/\*设置初始状态\*/

#0 en=1; #0 data\_in=0; #0 sel=0;

/\*验证en对data\_in的控制作用\*/

#1 en=0;

#2 data\_in=1;

#3 en=1;

/\*验证en对sel的控制作用\*/

#4 en=0;

#5 sel=1;

#6 en=1;

/\*验证data\_in的传输作用\*/

#7 data\_in=2;

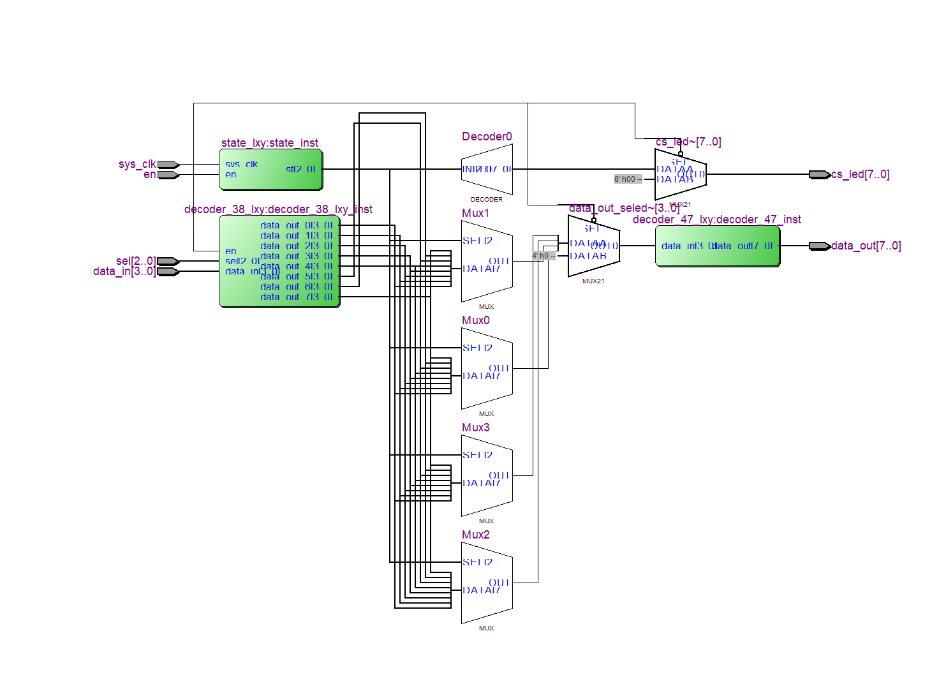
#8 data\_in=3;

/\*验证sel的片选作用\*/

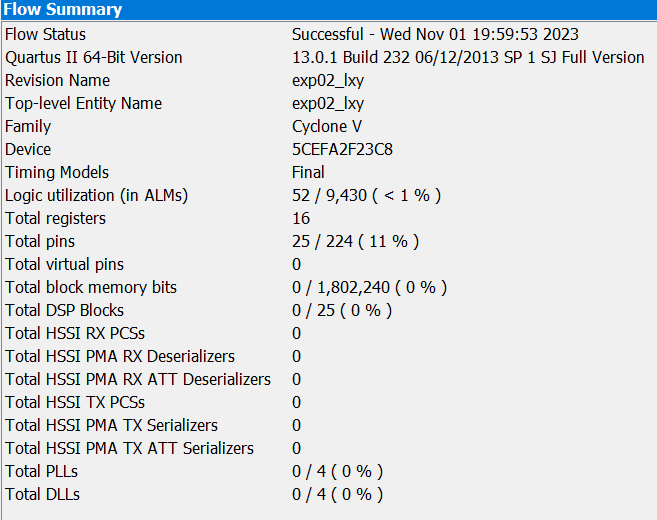
#9 sel=2;

#10 sel=3;

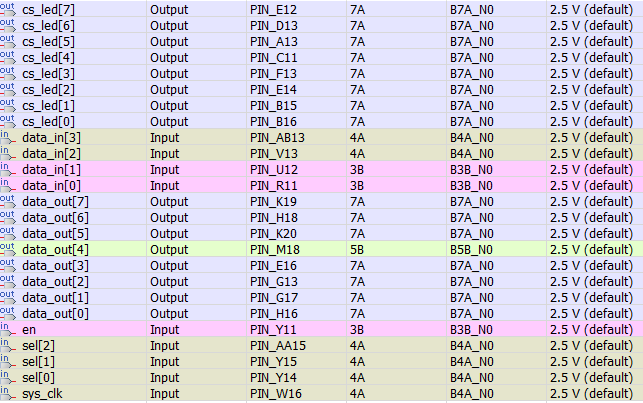
1. RTL电路模块



1. 资源占用情况

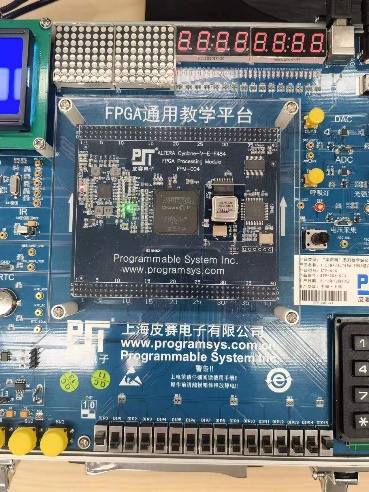
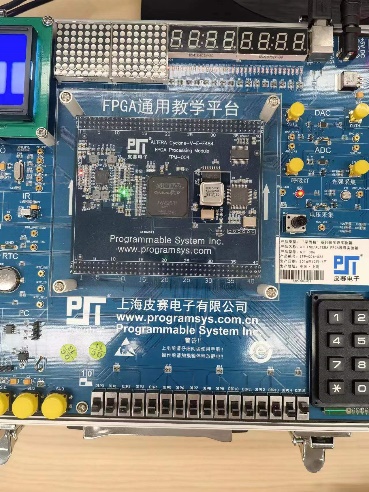


1. 管脚锁定情况

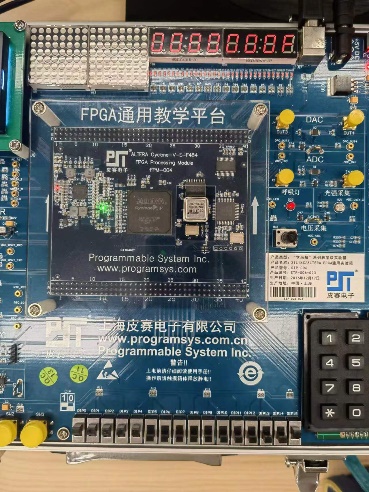


1. 验证结果

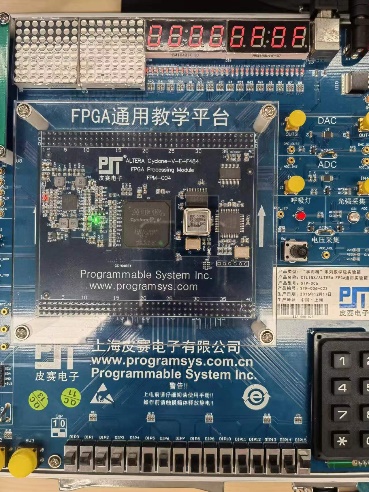
DIP0为en，控制开关



DIP1~4为data\_in，输入数字



DIP5~7为cs，片选



1. 实验总结

本实验学习了：

1、 学习 8 位七段数码管动态显示的控制原理；

2、 学习编写 Verilog 程序，实现七段数码管动态显示控制电路；

3、 学习 Verilog Test Bench的编写和仿真流程；

4、 熟练掌握 Altera FPGA 的开发环境、设计步骤和流程。

本次实验工程量大，对个人来说是个挑战，应当提升工程管理能力和架构能力。